

PATENT ABSTRACTS OF JAPAN

(11) Publication number:

59-075706

(43) Date of publication of application : 28.04.1984

(51)Int.CI

H03B 5/36
H03B 5/06

(21) Application number : 57-186129

(71)Applicant : OKI ELECTRIC IND CO LTD

(22) Date of filing : 25.10.1982

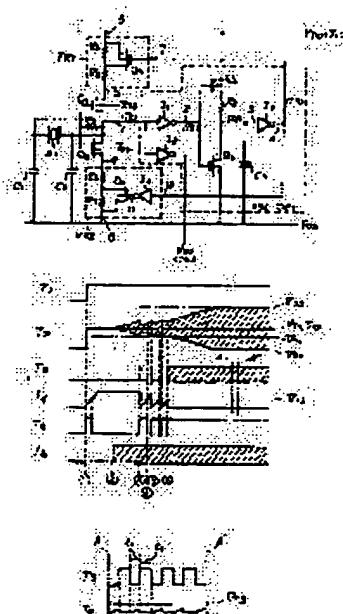
(72)Inventor: YAMAZAKI SEIICHI

(54) VIBRATOR TYPE OSCILLATION CIRCUIT

(57) Abstract:

PURPOSE: To advance the start of oscillation and to realize low current consumption in a steady operation state by providing an oscillation state detecting circuit and an oscillation exciting circuit.

CONSTITUTION: In a name chart, T1, T2, T3, T4, and T5 are voltage waveforms at respective points VDD, 1, 2, 3, 4, and V01, and 1 and 2 show the state wherein oscillation does not start even when a power source is turned on. Slanting-line parts show voltage waveforms having a frequency equal to an oscillation frequency. The inverter T3 of the oscillation state detecting circuit OSC DET outputs an "H"-level or "L"-level signal to an output terminal 4 on the basis of its threshold value. Then, VR1 and VR2 operate so that resistance values between 5 and 6, and 8 and 9 are large when the terminal 4 is at the level "H" or small when at "L". The OSC DET once deciding that no oscillation is performed, decreases amplifiers TRQ1 and TRQ2 in output impedance to excite oscillation. On the other hand, when oscillation is detected, the output impedance is increased to reduce current consumption. When the former is conducted electricity the latter is in the steady state of oscillation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑪ 公開特許公報 (A)

昭59-75706

⑫ Int. Cl.³
H 03 B 5/36
5/06識別記号
厅内整理番号
7928-5 J
7928-5 J⑬ 公開 昭和59年(1984)4月28日
発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 振動子型発振回路

⑮ 特願 昭57-186129

⑯ 出願 昭57(1982)10月25日

⑰ 発明者 山崎誠一

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

⑮ 出願人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12
号
⑯ 代理人 弁理士 山本恵一

明細書

1. 発明の名称

振動子型発振回路

2. 特許請求の範囲

(1) PMOSトランジスタとNMOSトランジスタにより構成されるCMOSインバータ回路と、その入出力端の間に接続されるフィードバック抵抗と振動子との並列回路と、CMOSインバータ回路の入力端と第1の電源端の間に挿入されるコンデンサ及びCMOSインバータ回路の出力端と第1の電源端の間に挿入されるコンデンサと、PMOSトランジスタのソースと第2の電源端の間に挿入される第1の可変抵抗体と、NMOSトランジスタのソースと第1の電源端の間に挿入される第2の可変抵抗体と、CMOSインバータ回路の出力端に接続される発振状態検出回路と、該回路の出力に従つて前記第1及び第2の可変抵抗体を制御する手段とを有し、非発振状態では第1及び第2の可変抵抗体が低抵抗に制御され、発振状態では第1及び第2の可変抵抗体が高抵抗に制御されることを特

徴とする振動子型発振回路。

(2) 前記発振状態検出回路が前記CMOSインバータ回路の出力端に接続される電圧判定回路と、その出力に接続され相補的にオン／オフされるPMOSトランジスタ及びNMOSトランジスタと、該PMOSトランジスタのドレインとNMOSトランジスタのドレインとの間に挿入される抵抗及び該抵抗の一端と電源端との間に挿入されるコンデンサと、該コンデンサと抵抗との接続点に接続され発振状態検出出力を提供する電圧判定回路とを有するごとき特許請求の範囲第1項記載の振動子型発振回路。

(3) 前記可変抵抗体が該抵抗体の入出力端の間に挿入される直列接続の1対の抵抗と、一方の抵抗の両端にソースとドレインを接続し前記発振状態検出回路の出力によりオン／オフするMOSトランジスタにより構成されるごとき特許請求の範囲第1項記載の振動子型発振回路。

(4) 前記可変抵抗体が該抵抗体の入出力端の間に挿入されるMOSトランジスタと抵抗との直列回

路と、該直列回路に並列接続される別の抵抗とを有し、前記MOSトランジスタが前記発振状態検出回路の出力によりオン／オフするごとき特許請求の範囲第1項記載の振動子型発振回路。

(5) 前記電圧判定回路がCMOSトランジスタにより構成されるごとき特許請求の範囲第2項記載の振動子型発振回路。

3. 発明の詳細な説明

(技術分野)

本発明は、低消費電力にして電源投入時の発振開始時間が短い振動子型発振回路に関するものである。

(背景技術)

従来の振動子型発振回路の回路図を第1図に示す。第1図において X_1 は振動子、 C_1 ・ C_2 はコンデンサ、 Q_1 はPMOSトランジスタ、 Q_2 はNMOSトランジスタ、 R_1 ・ R_2 ・ R_3 は抵抗、 V_{DD} はプラス側電源、 V_{SS} はマイナス側電源、 V_o は出力端子であり、 Q_1 と Q_2 のゲートを X_1 、 C_1 及び R_3 のそれぞれの一端に共通接続し、 Q_1 と Q_2 のドレインを X_1 、 R_3 のそれぞ

だけで消費する電流を数 μA に抑えるには、 R_1 と R_2 の値を100KΩ程度にすればよい。

ところが R_1 と R_2 を大きくすると、 Q_1 と Q_2 により構成される増幅器の出力インピーダンスが大きくなりこの結果、電源投入時の発振開始時間が長くなってしまう。32KHzの周波数の振動子を使う上記の例では、最長数秒の発振開始時間となってしまう。これは次のような不都合をもたらす。まず応用面において、電源を投入してから数秒間待たないと本来の動作を開始しないという不都合が生じる。これを避けるためには當時発振回路のみに電源を供給しておくという方法を取るのが普通である。この場合は常に電流を消費するという不都合が生じる。

また、本発振回路をモノリシックIC内にくみ込む場合、ICの測定時間が長くなるという不都合が生ずる。ICの量産時に1ケのICの測定に発振のテストだけで数秒を費すというのは非常に効率が悪く、ICのコストを上げる要因となる。

(発明の課題)

の他端と C_2 の一端及び V_o に共通接続し、 C_1 と C_2 のそれぞれのもう一方の端を V_{SS} に接続し、 Q_1 のソースを R_1 を介して V_{DD} につなぎ Q_2 のソースを R_2 を介して V_{SS} につなぐ。 Q_1 の基板は V_{DD} IC、 Q_2 の基板は V_{SS} IC接続する。

以上の構成における動作は V_o に X_1 に固有の共振周波数に等しい周波数の信号を出力するというものである。ここで R_1 と R_2 は V_{DD} から V_{SS} へ流れる電流を制限し、かつ異常発振を防じ目的で挿入するものである。 R_3 は Q_1 と Q_2 で構成されるCMOSインバータ回路の構成をとる増幅器の負帰還抵抗である。 C_1 、 C_2 は、発振安定化のために必要である。 X_1 としては水晶振動子やセラミック振動子がある。

本回路をCMOSモノリシックICのクロック信号発生源として使う場合には、多くの場合低消費電流というCMOSの特徴を生かすべく要求される。そのため採用する一般的な方法は、 R_1 と R_2 の値を大きくするという方法である。例えば32KHzの周波数の振動子を使い3Vの電源電圧で発振回路

本発明の目的はこれらの欠点を解決するため発振を励起する回路を施して発振の開始を早め、かつ、定常状態においては低消費電流で動作するごとく動作するようにしたもので、その特徴は、PMOSトランジスタとNMOSトランジスタにより構成されるCMOSインバータ回路と、その入出力端の間に接続されるフィードバック抵抗と振動子との並列回路と、CMOSインバータ回路の入力端と第1の電源端の間に挿入されるコンデンサ及びCMOSインバータ回路の出力端と第1の電源端の間に挿入されるコンデンサと、PMOSトランジスタのソースと第2の電源端の間に挿入される第1の可変抵抗体と、NMOSトランジスタのソースと第1の電源端の間に挿入される第2の可変抵抗体と、CMOSインバータ回路の出力端に接続される発振状態検出回路と、該回路の出力にてつて前記第1及び第2の可変抵抗体を制御する手段とを有し、非発振状態では第1及び第2の可変抵抗体が低抵抗にて制御され、発振状態では第1及び第2の可変抵抗体が高抵抗にて制御されるごとき振動子型

発振回路である。

(発明の構成および作用)

第2図は本発明の第1の実施例であつて、 R_4 ・ R_5 ・ R_6 ・ R_7 ・ R_8 は抵抗、 VR_1 ・ VR_2 は可変抵抗体、 C_3 はコンデンサ、 Q_3 ・ Q_4 はPMOSトランジスタ、 Q_5 ・ Q_6 はNMOSトランジスタ、 I_1 ・ I_2 ・ I_3 ・ I_4 はインバータ回路、 V_{O_1} は出力端子、 1 は発振部出力端子、 2 は I_1 の出力端子、 3 は I_3 の入力端子、 4 は I_3 の出力端子、 5・6 は VR_1 の抵抗端子、 7 は VR_1 の抵抗値制御端子、 8・9 は VR_2 の抵抗端子、 10 は VR_2 の抵抗値制御端子、 11 は I_4 の出力端子である。 Q_1 と Q_2 の各ゲートと R_3 ・ X_1 ・ C_1 のそれぞれの一端とを共通結線し、 Q_1 と Q_2 の各ドレインと R_3 ・ X_1 の他端と C_1 の一端及び 1 とを共通結線し、 C_1 ・ C_2 の各他端を V_{SS} につなぎ 5 を V_{DD} に、 6 を Q_1 のソースにそれぞれ結線し、 8 を V_{SS} に、 9 を Q_2 のソースにそれぞれ結線し Q_1 の基板を V_{DD} に、 Q_2 の基板を V_{SS} にそれぞれ結線する。 5 と 6 の間に R_4 と R_5 を直列接続して挿入し、 R_4 と R_5 の共通接続点と Q_3 のドレインを、 Q_3 のソース及び基板と 5 を、 Q_3 の

周波数を持つ電圧波形を示している。

第4図は第3図中のA-A'間を拡大に描いたタイムチャートである。前述の第1図の回路構成の発振回路において、電源投入時の発振開始時間は発振用の増幅器の出力インピーダンスが低い程度といいう特性がある。本発明はこの特性を利用している。発振しているか否かを検出する発振状態検出回路によります、発振していないと判定したら発振用増幅器の出力インピーダンスを低下させて発振を励起する。一方、その検出回路が発振を検出した場合は、発振用の増幅器の出力インピーダンスを高くして消費電流をおさえる。前者が電源投入時、後者が発振動作の定常状態に相当する。以上的方法で発振の開始が速く、かつ、低消費電流であるといいう特性を実現しようとするものである。

次に詳細な説明を行う。尚、以下の説明中トランジスタ Q_1 ～ Q_6 のON抵抗は 0Ω として説明している。 Q_1 と Q_2 により構成されるCMOSインバータ回路構成による増幅器において R_3 は負帰還抵抗である。

ゲートと 7 をそなれ接続する。8 と 9 の間に R_4 と R_5 を直列接続して挿入し、 R_4 と R_5 の共通接続点と Q_3 のドレインを、 Q_3 のソース及び基板と 8 を、 I_1 の入力端子と 10 を、 I_1 の出力端子 1 と Q_1 のゲートをそれぞれ接続する。1 を I_1 ・ I_2 の各入力端子にて共通結線し、 I_1 の出力端子 2 を Q_4 ・ Q_5 の各ゲートにて共通結線し、 I_2 の出力端子を V_{O_1} に接続する。 Q_4 のドレインを R_8 の一端につなぎ、 R_8 の他端と Q_5 のドレインと C_3 の一端と 3 を共通結線し Q_5 のソース及び基板を V_{DD} に、 Q_6 のソース及び基板を V_{SS} に、 C_3 の他端を V_{SS} にそれぞれ結線する。4 は 7 と 10 にて共通結線する。図の点線で囲む部分(OSC DUT)は発振状態検出回路を構成する。

以上の回路構成による本回路の動作を次に説明する。

第3図及び第4図は説明のためのタイムチャートであり T_1 は V_{DD} 、 T_2 は 1、 T_3 は 2、 T_4 は 3、 T_5 は 4、 T_6 は V_{O_1} のそれぞれの点の電圧波形を示している。

第3図中の斜線の部分は、発振周波数に等しい

が、発振がまだ開始していない時には、負帰還であるために R_3 の両端子電圧レベルは同じ電圧値を示す。それを V_{T0} とする。この電圧レベル V_{T0} は、発振が開始した時には発振波形の中心電圧レベルとなる。

インバータ回路 I_1 はそれ自身閾値電圧を持ち、それを V_{T1} とすると I_1 は 1 の電圧レベルが V_{T1} より大きい時出力端子 2 を低い信号レベル(以下 "L" と呼ぶ)にし、 1 の電圧レベルが V_{T1} より小さい時 2 を高い信号レベル(以下 "H" と呼ぶ)にする如く動作する。この V_{T1} と V_{T0} の関係を $V_{T1} < V_{T0}$ に設定する。

I_2 も同様に閾値電圧を持ちそれを V_{T2} とすると、 I_2 は 1 の電圧レベルが V_{T2} より高ければ V_{O_1} を "L" にし、 1 の電圧レベルが V_{T2} より低ければ V_{O_1} を "H" にする如く動作する。 V_{T2} と V_{T0} はほぼ等しいものとする。

I_3 も同様に閾値電圧を持ちそれを V_{T3} とすると、 I_3 は 3 の電圧レベルが V_{T3} より高いとき 4 を "L" とし、 3 の電圧レベルが V_{T3} より低いとき 4 を "H"

とする如く動作する。

第3図及び第4図に示した V_{T0} , V_{T1} , V_{T2} および V_{T3} は以上の説明中に出てきたものと同一のものである。

Q_1 , Q_2 , R_s , C_3 , I_1 で構成される部分が前述した発振状態検出回路であり、その出力端子に相当する4の信号レベルが "H" のとき $VR1$ 及び $VR2$ は5・6間及び8・9間の抵抗値が大きく、4が "L" のときは5・6間及び8・9間の抵抗値が小さくなる如く動作する。

まず電源が投入され、まだ発振が開始しないうちには第3図の(1)～(2)に示す如く、 $1(T_2)$ の電圧レベルは V_{T0} に固定されている（これは R_s による負帰還の効果である）。 V_{T0} と I_1 の閾値電圧 V_{T1} の関係は $V_{T1} < V_{T0}$ であり I_1 の入力電圧レベルが V_{T0} であるから $2(T_3)$ は "L" である。これにより Q_1 は ON, Q_2 は OFF するため、 C_3 は R_s , Q_1 を通して充電されその充電波形 (T_1) は時定数 $C_3 \cdot R_s$ で上昇して、今いすれば V_{T3} を上まわる。その時 $4(T_3)$ は "L" となつて 7 が "L" になるため、 Q_3 は ON し、

方10も "L" となる。従つて 11 が "H" となるため、 Q_4 も ON する。 Q_3 と Q_4 が ON すると、 R_s と L_1 が無絶縁されるため Q_1 , Q_2 で構成される発振用増幅器の出力インピーダンスは R_s と R_1 によって決まる低い状態となる。これが発振を励起する状態であり、1の発振出力波形 (T_2) は第3図(2)～(3)に示す如く、 V_{T0} を中心にして次第に振幅を拡げていく。(3)の状態に達し、 $1(T_2)$ の電圧波形の振幅が V_{T1} を下まわる程に大きくなると I_1 の出力端子 2(T_3) には "H" がのぞく。これにより Q_1 が OFF し Q_2 が ON するため、 C_3 が瞬間に放電され 3 の電圧レベル (T_4) は V_{SS} になり、従つて $4(T_3)$ は "H" になり、7と10が "H", 11が "L" となつて Q_3 と Q_4 は OFF する。 Q_3 と Q_4 が OFF すると発振用増幅器の出力インピーダンスが、 $R_s + R_1$ 及び $R_s + R_2$ によって決まる高い状態になる。このため第3図の(3)に示すように $1(T_2)$ の発振出力波形は、その振幅が縮少する。従つて 1 の電圧レベルが V_{T1} より再び高くなり $2(T_3)$ が "L" に戻る。2が "L" になると Q_1 が ON し Q_2 が OFF するため、3(T_4) の電圧波形は V_{SS} のレベルから時

定数 $C_3 \cdot R_s$ で上昇する。これによつて 3(T_4) の電圧レベルが V_{T3} を上まわると（第3図の(4)）、4(T_3) は "L" となり、7と10が "L", 11が "H" となるため Q_3 と Q_4 が ON し、発振用増幅器が再び低出力インピーダンス状態となり発振が更に励起される状態となる。そして $1(T_2)$ の発振出力波形の振幅が V_{T1} を下まわると、前記第3図における(3)と同じ状態となり C_3 は放電される(5)。

これ以後は第3図における(3)～(5)に当る動作が順次繰返されて行き、いすれば $1(T_2)$ の発振出力波形の振幅が完全に V_{T1} を下まわる程に大きくなる。第3図の(6)以後がこの状態を示している。

ここまで来るともう発振を励起する必要はない。ここから発振動作の定常状態に入り、第4図に示す如く $2(T_3)$ に発振周波数に等しい周波数の信号が出力されるため、その周期 ($t_0 + t_1$) で Q_1 と Q_2 は交互に ON・OFF を繰返す。この状態では、第4図の $T_3 = "L"$ の期間 (t_0) のとき C_3 が R_s を通して充電されるため、3(T_4) の電圧レベルは V_{SS} の電圧レベルから時定数 $C_3 \cdot R_s$ で上昇する波形となり、

$T_3 = "H"$ の期間 (t_1) になると C_3 は瞬間に放電され、3(T_4) は V_{SS} の電圧レベルに戻る。以上の動作中重要な事は、第4図に示す如く 3 の電圧波形が V_{T3} を上まわることのないようにすることである。なぜなら、もし、3 の電圧が t_0 中に V_{T3} を上まわる事があるとそのために前述の如く 4 が "L" となつて Q_1 , Q_2 が ON し、発振用増幅器の出力インピーダンスが低くなり、従つて消費電流が大きくなり、本回路の特徴とする定常状態において低消費電流という特性を失わしめるからである。

定常状態において 3 の電圧レベルを V_{T3} 以下に抑えるためには、 $C_3 \cdot R_s$ の値を次の如く決定すればよい。

第4図における t_0 の期間での 3(T_4) の電圧レベル V_3 は、次式で表わされる。

$$V_3 = V_{DD} \cdot \left\{ 1 - \beta \times p \left(-\frac{t}{C_3 \cdot R_s} \right) \right\} \quad (1)$$

ここで V_{DD} は端子 V_{DD} と端子 V_{SS} の間の電圧で、 t は時間である。この V_3 が V_{T3} を越えないようにするには、 $t = t_0$ における V_3 が $V_3 < V_{T3}$ を満足す

ればよいから、 $t = t_0$ と置いて(1)式より次式が得られる。

$$V_{DD} \cdot \left\{ 1 - \ell \times p \left(-\frac{t_0}{C_s \cdot R_s} \right) \right\} < V_{T3} \quad (2)$$

この式を変形した次式を満足するように $C_s \cdot R_s$ を決定すればよい。

$$C_s \cdot R_s > \frac{\frac{t_0}{\ell n \left(\frac{1}{1 - \frac{V_{T3}}{V_{DD}}} \right)}}{1 - \frac{V_{T3}}{V_{DD}}} \quad (3)$$

例えば $t_0 = 15 \mu\text{sec}$, $V_{T3}/V_{DD} = 0.3$ とすると、これらを(3)式に代入して $C_s \cdot R_s > 42.1 \mu\text{sec}$ が得られる。 $C_s = 10 \text{ pF}$ とすれば $R_s > 4.21 \text{ M}\Omega$ という値となる。

以上のように $C_s \cdot R_s$ を設定することによって、 $Q_4 \cdot R_s \cdot C_s \cdot Q_0 \cdot I_3$ で構成される部分が発振状態の検出機能をもつ事になる。即ち本回路部分は、発振の定常状態では 4 を "H" とし発振の停止状態では 4 を "L" とする如く動作するからである。

出力端子 V_{o1} には、第 3 図の T₃IC 示すように I_2 の閾値電圧 V_{T2} を V_{T0} とほぼ等しく設定してある

する如く制御するため、電源投入時の発振開始時間が短かく、かつ定常状態においては低消費電流で動作するという特徴のある振動子型発振回路が構成できる。

その結果次のような利点が生ずる。

(1) モノリシック IC 内蔵する場合、その IC の発振部を測定するための時間が短縮できるため、量産時における測定時間の短縮、即ち IC のコスト低減に効果がある。

(2) 従来電池を電源とするような応用において、発振器の電源投入時の発振開始時間が長いために生ずる遅れをなくする目的で、常時発振動作をさせておき必要に応じて回路全体にその発振信号を供給するという回路方式があつたが、この方式では常時発振動作を行なうため消費する電流が電池を消耗させるという問題があつた。本発振回路を使えば、この問題を解消し得る。

(3) 本回路方式は発振が停止しようとすると、発振状態検出回路が働いて発振を励起するという帰還動作を行なうため、電源電圧の動作範囲の下限

ため、 $T_1(T_2)$ の出力端子に発振波形が現われると同時に発振周波数に等しい周波数の信号が出力され、それ以後その波形が持続して出力される。 V_{o1} から見ると電源投入から発振信号が出現するまでの時間は、 R_s と R_t が短絡されて発振が励起されて発振開始が速まつた分だけ短い訳である。

尚、ここでインバータ回路の閾値電圧 V_{T1}, V_{T2} 等に差を付けるにはインバータ回路を CMOS で構成する場合にはペアの PMOS トランジスタと NMOS トランジスタの gm 比に違いを持たせればよく、例えば PMOS トランジスタの gm を NMOS トランジスタの gm より大きくすれば両方等しい場合より閾値電圧が高くなる。

以上説明したように、発振状態検出回路を設けその検出信号によって発振用の CMOS インバータ回路構成による増幅器の出力インピーダンス、即ちその増幅器の PMOS 及び NMOS トランジスタの各ソース・電源間に接続した抵抗を、発振が停止している場合には小さく、発振開始後には大きく

が広がる。

第 5 図は本発明の第 2 の実施例の回路図である。

第 1 の実施例では $VR1, VR2$ の構成として直列接続の 2 本の抵抗を使つたが、第 5 図に示す如く並列接続の 2 本の抵抗を使つても同様の効果が生じる。

第 5 図において、 $R_9, R_{10}, R_{11}, R_{12}$ は抵抗で、5 と R_9 の一端及び Q_3 のソースと基板とを共通結線し、6 と R_9 の他端と R_{10} の一端とを共通結線し、 R_{10} の他端と Q_3 のドレインをつなぎ 8 と R_{12} の一端及び Q_5 のソースと基板を共通結線し、9 と R_{12} の他端と R_{11} の一端を共通結線し、 R_{11} の他端と Q_5 のドレインをつなぐ。

以上の構成をとれば 7 及び 10 の信号レベルが "L" のとき Q_3 と Q_5 が ON し、5・6 間及び 8・9 間でみた抵抗値は $R_9 \cdot R_{10} / (R_9 + R_{10})$ 及び $R_{11} \cdot R_{12} / (R_{11} + R_{12})$ であり、一方 7 及び 10 の信号レベルが "H" のときは 5・6 間でみた抵抗値は R_9 及び R_{12} になり、從つて前者が発振用増幅器の低出力インピーダンスの状態に当たり後者が高出力インピーダンスの状態

に当たる。ここで $R_{10} = R_0 \cdot R_9 = R_0 \cdot R_{11} / (R_0 + R_{11})$ 。
 $R_0 + R_9 = R_{12}$ 、 $R_9 = R_{11} \cdot R_{12} / (R_{11} + R_{12})$ となるよう
 に $R_0 \cdot R_{10} \cdot R_{11} \cdot R_{12}$ を設定すれば、第5図に示す
 回路構成でも第1の実施例と同様の動作及び効果
 が生じる。

第6図は本発明の第3の実施例の回路図である。

第1の実施例では C_3 の一端を V_{SS} に接続したが、
 第3図に示す如くもう一方の電源 V_{DD} に接続しても
 同様の効果が生じる。この実施例の場合、第4
 図における t_1 の期間即ち2が "H" で Q_3 が ON し、
 Q_4 が OFF している時には C_3 は V_{DD} と V_{SS} 間の電圧で
 充電され、 t_0 の期間、即ち2が "L" で Q_3 が OFF し
 Q_4 が ON している時には C_3 は $R_3 \cdot Q_4$ を通して、
 時定数 $C_3 \cdot R_3$ で放電する。従つて3の電圧波形は、
 t_1 のとき V_{SS} レベルに有り t_0 のとき時定数 $C_3 \cdot R_3$
 で上昇する第4図に示す波形と同一のものとなる。
 よつて第1の実施例と同様の動作をする。

第7図は本発明の第4の実施例の回路図である。

第7図に示す如く R_8 の一端を Q_8 のドレインに接
 続し、 R_8 の他端と C_3 の一端と Q_4 のドレインと3を

共通接続し、インバータ回路 I_1 の入力端子に
 接続し、 I_1 の出力端子 I_2 を Q_3 のゲートに接続し、
 I_2 を Q_3 のゲートに接続する。以上の如く構成して
 も第1の実施例と同様の効果を生じる。

この場合、 I_1 の制限電圧 V_{T1} は $V_{T0} < V_{T1}$ となる
 ように設定する。まず発振していない時には、1
 が V_{T0} で $V_{T0} < V_{T1}$ であるから 2 は "H" となる。
 よつて Q_3 が OFF し、 Q_4 が ON し、 C_3 は $R_3 \cdot Q_4$ を通
 して充電され、いずれ3の電圧レベルが V_{T3} を下
 まわつて 4 が "H" となり Q_3 と Q_4 が ON し、 R_4 と R_3
 が短絡され、その結果発振用增幅器は高出力イン
 ピーダンスの状態となる。これが発振を励起する
 状態である。一方発振が安定したときには、2 は
 発振周波数に等しい周波数の信号がのぞき 2 が
 "L" のときには Q_3 が ON し Q_4 が OFF するため C_3 が
 瞬間に放電されて 3 の電圧レベルが V_{DD} と等し
 くなり、一方 2 が "H" になると Q_4 が OFF し Q_3 が
 ON するため C_3 が $R_3 \cdot Q_4$ を通して充電される。こ
 の時 3 の電圧レベルは V_{DD} からの時定数 $C_3 \cdot R_3$ を
 下降する波形となる。この時定数 $C_3 \cdot R_3$ を 2 が "H"

の期間において 3 の電圧レベルが V_{T3} を下まわる
 事の無いように設定しておけば発振の安定して
 いる間は 3 の電圧レベルは V_{T3} 以上にあり、従つて、
 4 は "L" を保つため $Q_3 \cdot Q_4$ ともに OFF、即ち発振
 用増幅器が高出力インピーダンスの状態を保持す
 る。

以上の如く、発振用の増幅器の出力インピーダ
 ンスを発振が停止している時には低くして発振を
 励起し、発振が安定したら高くして低消費電流の
 動作とするという第1の実施例と同様の動作を行
 なう。

(発明の課題)

本発明は発振状態検出回路とそれによつて制御
 される発振励起回路を有しているので、電源投入
 時の発振開始時間が短かく、かつ定常状態では低
 消費電流で動作するという特性があり、振動子型
 の発振回路を施すべき CMOS モノリシック IC 例
 えば時計用、計測用、カメラ用などの IC IC 利用
 することができる。

4. 図面の簡単な説明

第1図は従来の振動子型発振器の回路図、第2
 図は本発明の第1の実施例の回路図、第3図と第
 4図は第2図の回路の動作タイムチャート、第5
 図と第6図と第7図は各々本発明の別の実施例の
 回路図である。

X₁；振動子

C₁, C₂, C₃；コンデンサ

R₁ ~ R₁₂；抵抗

Q₁, Q₃, Q₄；PMOSトランジスタ

Q₂, Q₅, Q₆；NMOSトランジスタ

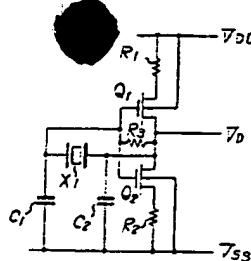
特許出願人

沖電気工業株式会社

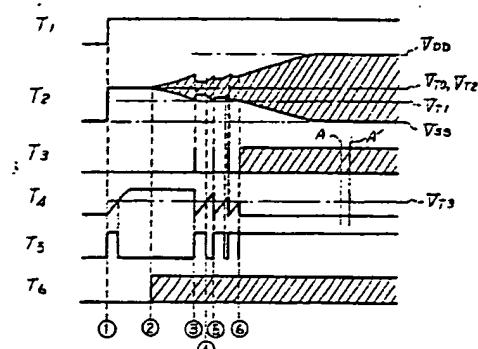
特許出願代理人

弁理士 山本 恵一

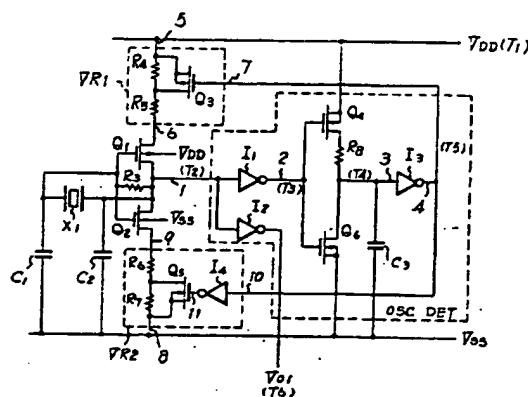
第1図



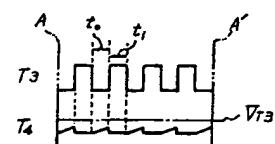
3 図



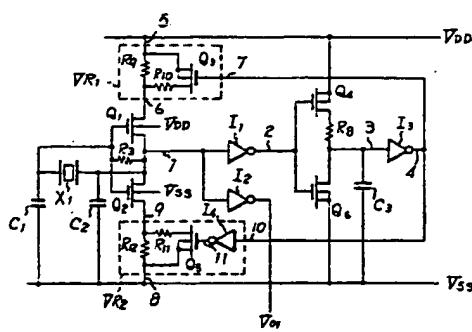
第2図



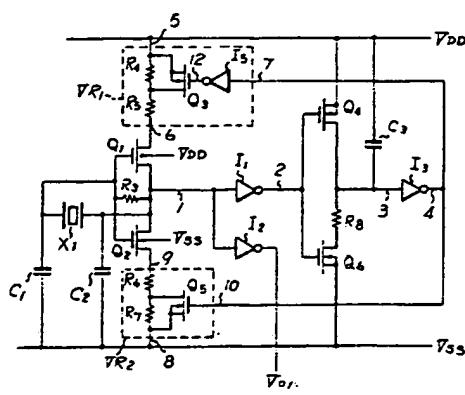
第4図



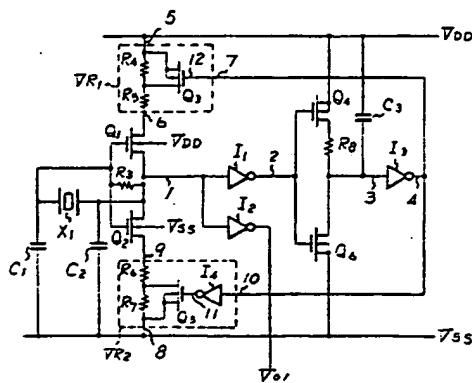
第5図



第7図



第6図



61.12. 1 発行

特許法第17条の2の規定による補正の掲載

昭和57年特許願第 186129号(特開昭59-75706号、昭和59年(月28日発行 公開特許公報 59-758号掲載)については特許法第17条の2の規定による補正があつたので下記のとおり掲載する。 7(3)

| Int.C1. | 識別記号 | 府内整理番号 |
|-------------------|------|--------------------|
| H03B 5/36 5/06 | | 6749-5] 7530-5] |

手続補正書(自発)

昭和61年9月11日

特許庁長官 黒田明雄殿

1. 事件の表示

昭和57年特許願 第186129号

2. 発明の名称

方式
審査

振動子型発振回路

3. 補正をする者

事件との関係 特許出願人

名称 (029) 沖電気工業株式会社

4. 代理人

住所 〒105 東京都港区西新橋1丁目5番12号タンパビル

電話 580-6540

氏名 弁理士(7493) 山本恵一



5. 補正の対象

明細書の発明の詳細な説明の箇

6. 補正の内容

(1) 明細書第4頁第9行目の「防じ」を「防ぐ」と補正する。

(2) 同書第9頁第2行目の「拡大に」を「拡大して」と補正する。

(3) 同書第11頁第12行目の「(1)」を「①」と補正する。

(4) 同書第11頁第12行目及び第12頁第6行目の「(2)」を「②」と補正する。

(5) 同書第12頁第6行目、同頁第7行目、同頁第16行目、第13頁第7行目及び同頁第8行目の「(3)」を「③」と補正する。

(6) 同書第13頁第2行目の「(4)」を「④」と補正する。

(7) 同 第13頁第8行目及び同頁第9行目の「(5)」を「⑤」と補正する。

(8) 同 第13頁第12行目の「(6)」を「」と補正する。

(9) 同書第11頁第18行目の「今いすれば」を「いすれば」と補正する。

(10) 同書第14頁(1)式を以下のように補正する。

$$V_s = V_{ss} \cdot \left\{ 1 - e^{-\frac{t}{C_s \cdot R_s}} \right\} \quad (1)$$

(11) 同書第15頁(2)式を以下のように補正する。

$$V_{ss} \cdot \left\{ 1 - e^{-\frac{t}{C_s \cdot R_s}} \right\} < V_{rs} \quad (2)$$

以上